## PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-292319

(43)Date of publication of application: 05.11.1993

(51)Int.CI.

HO4N 1/40 HO4N 1/40 **B41J** G06F G06F 15/72 G06K 15/00

(21)Application number: 04-096462

(71)Applicant: CANON INC

(72)Inventor:

SAKAKIBARA MANABU

(22)Date of filing:

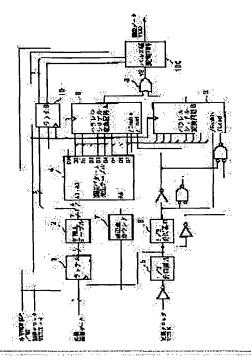
16.04.1992

## (54) PICTURE PROCESSOR

## (57) Abstract:

PURPOSE: To obtain a picture processor by which the resolution is increased without decreasing the number of gradation steps of one picture element.

CONSTITUTION: An input picture signal is corrected in gradation in response to the density characteristic of the unit by a gamma correction table 2, a density pattern is roughly generated by a density pattern generating table 4 and parallel/ serial conversion circuits 8, 9 and detailed pulse width modulation is implemented by a pulse width modulation circuit 100, then the resolution is improved without decreasing the gradation steps of one picture element. In such a case, the pulse width modulation circuit 100 generates a signal having a prescribed gradient without using a high frequency clock and generates an optional signal level and the pulse width modulation is implemented by comparing both outputs.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(m)公開特許公報(A)

(11)特許出願公開番号

(特許請求の範囲)

တ 特開平5-29231

(43) 公開日 平成5年(1993) 11月5日

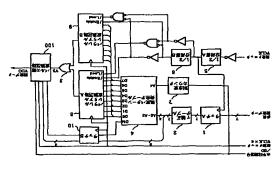
技術投示協所		A (全19頁) 最終頁に統く
		3/00
<u></u>		B41J 3/00
庁内整理番号 9068-5C 9068-5C		7339-2C 客登辦次 未辦次 請次項の数3
被別記号 101 E B	1	来離決
1/40	2/52 3/12	客企群次
(51) Int. C1. <sup>6</sup> H 0 4 N	B415 G06F	

	会対歴头 不選米 電子投り取り		H 1 0 KI KAKA KAM
(21) 出資母母	特鼠平4-96462	<b>子遊田 (I1)</b>	(71) 出願人 000001007
			キヤノン株式会社
(22) 出版日	平成4年(1992)4月16日		東京都大田区下丸子3丁目30番2号
		(72) 発明者	巷厩 外
			東京都大田区下丸子3丁目30番2号 キヤノ
			ン株式会社内
		(74) 代理人 弁理士	井理士 大學 康德 (外1名)

(54) 【発明の名称】画像処理装置

[目的] 1回来の略額数を下げずに解像度を上げるこ とができる画像処理装備を提供するにある。

**つておおまかに御度パターンを生成した後に、パルス幅** り、1 画案の階間数を下げずに、解像度を上げることが ロツクを用いずに、一定の傾きを有する倡号を発生させ 【構成】 入力画像信号を、7 補正テーブル2 により装 発生テーブル4とパラレルシリアル変換回路8,9によ できる。その際パルス幅変製回路100では、萬周嵌ク ると共に、任意の信号レベルを発生させ、両者の出力を 題の有する徴度特性に応じて階層補正し、徹度パターン 蛟鷸回路100で細かなパルス幅蛟闘を行うことによ **北較することでパルス幅変闘を行う。** 



【請求項1】 入力画像信号を装置の有する濃度特性に 核階関補正手段で略額補正された画像信号から徴度パタ **ーンを発生させる激度パターン発生手段と、 たじて略額補正する略関補正手殴と** 

する第2の信号発生手段と、該第1及び第2の信号発生 核濃度パターン発生手段から発生される濃度パターン信 数パルス幅変調手段は、一定の傾きを有する信号を発生 平段の発生する信号を比較する比較手段とを含み、該比 枚手段の比較結果に基づいて前配徴度パターン倡号をパ する第1の倡号発生手段と、任意のレベルの倡号を発生 **号をパルス幅変闘するパルス幅変闘手段とを備え** ルス幅変闘することを特徴とする画像処理装置。

パルス幅変鷸手段は、更に第1の信号発生手段よりの出 力信号の傾きを検知する傾き検知手段と、該傾き検知手 段の校知結果に基づいて第2の信号発生手段の出力信号 の補正を行う補正手段とを含むことを特徴とする画像処 【請求項2】 請求項1記載の画像処理装置において、

段の検知結果に基づいて前記第1の信号発生手段の出力 信号の補正を行う補正手段とを含むことを特徴とする画 パルス幅変調手段は、更に第1の信号発生手段よりの出 力倡号の傾きを検知する傾き検知手段と、該傾き検知手 【請求項3】 請求項1記載の画像処理装置において、 4.处理装置。

[発明の詳細な説明]

[000]

【遊業上の利用分野】本発明は入力画像信号を階閥処理 する画像処理装置に関するものである。 [0002]

ブ信号 (白なら00H、異なら3FH) に変換し、写真 [従来の技術] 一般的なアーザパームプリンタの機械的 な機構部を除くシステム構成を図19に示す。図19に 示す如く、中間鶴画像を印刷する一般的なプリンタ32 [0003] プリンタコントローラ310は、外部の当 数プリンタ320を制御するホストコンピユータ330 から印刷するべき回像データ(写真画像や文字画像を含 む)を受け取り、文字画像については所定のピットマツ J、徴度が増すにしたがい数値を大きくし、3 F Hが照 を致す)に変換する。そして、例えば変換した信号を回 る。そして画像処理部300からの出力信号に応じて半 尊体レーザ340を発光させ、対応する画像を形成して 0は、プリンタコントローラ310、回像処理部30 画像については徴度を示すコード情号 (白を00Hと 像処理部300に6ドツトの画像データとして送出す 0、及び半導体レーザ340から構成されている。

22 詳細プロツク構成図を示す。図20において、301は [0004] 図20に図19に示す画像処理部300の r 補正テーブルであり、例えばROMで構成されてい

特個平5-292319

3

る。302は2ピツト構成の主走査カウンタ、303は ル、305は徴度パターン発生テーブル304から出力 される8 ピシト街処データや固像クロシクVCLKの8 同じく2 ピット構成の副走資カウンタ、304 はROM 倍の周波数でシリアルデータに敷換して出力するパラレ 又はRAMで構成されている徴度パターン発生テーブ ルシリアル乾換回路である。

【0005】以下、以上の構成を備える従来のプリンタ

リンタコントローラ310から600dpi の1ドント年 (ドットパーインチ) のプリンタについて説明する。 ブ クVCLKに同期して6 ピシトの多値回像データVSが 送出されてくる。多値画像データVSは、Y柏正テーブ 変換され、徴度パターン発生テーブル304のアドレス に送られてくる画像クロックVCLKと、核画像クロッ ル301によつてヶ柏氏され、7 ピットの回像データに における動作説明を行う。以下の説明は、600dpi A0~A6に入力される。 2

レスで指定される番地に予め記憶されている8 ピットの [0006] 一方、画像クロックVCLKを主走強カウ ンタ302でカウントし、その2ピットの出力を讃度パ ターン発生テーブル304のアドレスA7, A8に入力 ウンタ303でカウントし、その2ピツトの出力を改成 9, A10に入力する。濃度パターン発生テーブル30 4にこれらのアドレスが入力されると、入力されたアド する。更に半導体レーザ340が1走査する毎にプリン タエンジンから送出される水平同期信号BDを副走査力 データD0~D7が出力される。 筑データはパラレルシ リアル変換回路305に入力され、核回路305で画像 クロックVCLKの8倍の周波数のクロックVCLKX 8に同期したシリアルデータに変換されて出力される。 パターン発生テーブル304のテーブルのアドレスA 30 ន

年の画像信号は、図21に示す様に、主走登方向に4ド ソト、副走査方向に4ドツトの計16ドツトの信号の群 として取り扱い、濃度を表す最小の単位(画業)を形成 tる. 更に、図22に示す様に、600dpiの1ドット を8分割しているので、1 画祭は最終的には128区画 [0007] 600dpi の解像度で入力される1ドット 【0008】 つまり、1 回紫の128区回のうち何区画 とめた16ドツトを1つの適度を表す最小の単位とし

を異で始徴すかによつて徴度を表現するのである。この 従来における濃度投現の例を図23に示す。図23は多 ある。上述した従来例では、600dpi の1ドツトをま て、更に1ドツトを8分割していた。即ち、実質的には た (実際にはプリンタのガンマ特性のために128階間 歯画像データが(20/64)の徴収である場合の例で 1 5 0 dpi の解像度に変換して1 2 8 階間を実現してい 8

[0000]

[発明が解決しようとする原題] しかしながら、150

特閒平5-292319

Ŧ

山の解像度での128階図の中間画像による表現では 画業が粗くなつてしまい、過足の行く画質ということは 出来ず、充分に中間類画像を再現できなかつた。特に文 学の確認でポケが目立つものであつた。暗図の再既住は そのままとして解像度を上げる場合、倒えば圖業を30 のかにして128階端を実現するためには、600向i の1ドットを32分割する必要があり、図20のバラ レルシリアル変数回路のクロックが高函数クロックにな つてしまう。倒えば600向i 毎分8枚機では、6.2 5M胎の画像クロックの32倍、即5200M比もの動 10 作クロック及び類クロックで動作するバラレルシリアル 数数回路が必要である。

[0010]そのため、英値な木品発展器や街通な圧の レデバイス等を使わなければ実現できないという欠点も あつた。また、英国波を扱うので、不製幅射が多く発生するという欠点もある。

[0011]

【魏昭を解決するための手段】本売別は上述の即昭を解決することを目的としてなされたもので、上述の際題を解決するこ子を目のとして以下の構成を顧える。即ち、入力画像信号を装置の有する遺貨特性に応じて階層補正する階層は正手段と、旅路期间正手段で路離補正された画像信号から遺貨パターン発生主段から発生される遺度パケーン発生手段と、旅憩度パターン発生手段と、な遺貨パターン発生手段と、な道度パターン発生手段を観光

[0012]

【作用】以上の構成において、バルス幅変勵等段は、一定の値きを有する信号を発生する第1の信号発生手段と、任意のレベルの信号を発生する第2の信号発生手段と、越第1及び第2の信号発生手段の発生する信号を比較する比較手段と含金含み、核比較手段の比較結果に基づいて前記證度パターン信号をバルス概変闘する。

33

[0013]このように、遺促パターン発生手段で発生された遺促パターンに対して細かなパルス結変顕を行うことにより、1回染の路閣数を下げずに、解像度を上げることができる。更に、その際、パルス幅変闘に一定の資きを有する信号及び任意の信号レベルを比較することでパルス結変認を行うことにより、周囲環境の変化や経年設化等の影響を吸小限度に押えられる。

[0014]

\$

【奖施例】以下、図而を参照して本発明に係る一実施例 を辞細に説明する。

(第1の実施例) 図1は本発明に係る第1の実施例である画像処型装置の構成を示すプロック図、図2は第1の実施例の副作を示すタイミングチャートである。なお、本実施例をプリンタに適用した場合においては、その機略特成は図19に示す構成と同様であるが、画像処理部の結成が現なり、図1に示す構成となる。

[0015] 図1において、1はランチA、2はROM 50

などで結成される・袖丘テーブル、3 は論理和をとるOR業子、4 はROMなどで構成される遺優パターン発生テーブル、5 は分周路A、6 は分周器B、7 は別走性カウンタ、8 はパラレルシリアル変換回路A、9 はパラレルシリアル変換回路A、9 はパカス配変顧回路である。

[0016]なお、本実施例では600向i(ドント/インチ)のレーザピームプリンタを用いて主走強2ドツト、励走強2ドットの計4ドットを1回案(徹底を表現する最小単位)として各々のドットを更に32分割して1回案を128分割し、その128区間のうちのどれだけの数をレーザに照対するかにより路路再現を行う場合について述べる。

[0017]1 画業の128区間を図3に示す。図3に示す様に、本実施密では128区間の面積階閣、すなわち最大128階図の遺儀表現が可能であるので、図1に示す画像が一夕である。以下、図2を参照して以上の構成を電える本実施図の即作説明を行う。本実施図の図1に示す。プリントコントローラより、7ピットの参幅国像データし、ブリントコントローラより、7ピットの参幅国像データし、を受け取る。本実施図では、図2の1)、2)に示す様に、画像クロックVCLK(6.25MH)を受け取る。本実施図では、図2の1)、2)に示す様に、画像クロックVCLKの立ち上がりに同期して、続けて2ドット同じ画像データが送られてくる。

【0018】1) に示す600向iの回像クロックVC LKは、分周器A5で2分周され、5) に示す主走塩方向に2ドット分、つまり主走査方向に300向iの1/2VCLKを出力する。ラッチA1は、図2に4) で示す様にクロック1/2VCLKの立ち上が0タイミングで多値回像データをラッチし、主走塩方向に300向i単位の多値回像データとして出力する。

[0019] ラッチA1よりの300的i 単位の多値画像データは、7 柏正デーブル2に入力され、ここで6)に示す階層相正されたデータに変換される。そして、上位4ビットは数度パターン発生テーブル4にアドレスA0~A3として入力される。下位3ピットは後述する資度パターン発生テーブル4よりのDM指导と共に、3)に示す制御クロックVCLK×4の立ち上がりタイミングでラッチB10にラッチされる。

[0020] 一方、水平回期信号BDは副走査カウンタ7に入力され、カウントされる。副走査カウンタ7でカウントされた1ピット信号(図2の8))は、避遅パケーン発生テーブル4にアドレスA4として入力される。強促パケーン発生テーブル4はアドレスA0~A4を基に、図2に9)で示す対応する適度パケーン信号としてD0~D7を出力し、また、対応するDM信号が出力される。DMは変調イネーブルであり、"1"で後述する幅変調回路100でパルス幅変調を行ない、"0"でパルス幅変調を行なわない。以上におけるテーブルのアド

レスとデータとの関係については後述する。 [0021] 遊艇パターン発生テーブル4の9ピット田 が高号のうち D 7~D 0 のパラレル出力される8ピット のデータは、後段のパラレルシリアル袋像回路A8.パ ラレルシリアル袋後回路B9に入力され、ここでシリア ルア・リアル袋後回路B9に入力され、ここでシリア ルデータに袋袋され、MSBから類次出力される。パラ レルシリアル袋後回路8,9は、主産査方向300向i 単位に、/Load入力時に截取パターン発生テーブル 4よりのデータの取り込みを行ない、/Enable 時が出力されている時に関海クロック VCLK×4に同 動して取り込んだパラレルデータをシリアルデータに変 数して場を出し製作を行う回路である。そして核回路 8,9の後段のOR素子3で結理和されて画像データ V Sにな利、パルス艦&後回路100に入力される。この 部のタイミングを図2の9)~16)に示す。

フリップフロップ、104はDC0V~5Vの信号を反 **踏として、 γ 植正テーブル2 で入力画像信号を装置の有 ーブル4で階関補正された画像信号から改度パターンを** 発生させ、この時、主走査方向300向iを8分割した 【0023】図4にそのバルス幅変頗を行なうバルス幅 変闘回路100の詳細システム構成図を示す。図4にお いて、101はBD信号に基づいてパルスを発生するパ 103は画像データ信号VSを1クロツク分遅らせるD [0024] 105はランプ発生回路104の出力をD フリップフロップ 102の出力の立ち下がりエッジでか ールドするサンブル&ホールド回路、106はサンブル る基準電圧発生回路、107は3ピツトのラツチB10 08はD/A変換回路107とランプ発生回路104の する徴度特性に応じて略調補正し、徴度パターン発生テ その8分割した信号をパルス幅変調回路100によつて ルス発生回路、102はパルス発生回路101よりの出 &ホールド回路105の出力に応じて基準電圧を発生す よりの出力データをD/A変換するD/A変換回路、1 わけであるが、本実施例においては、第2段階として、 更に8位相ずらし、計64分割のパルス幅変闘を行う。 カパルスを 1 クロツク分遅らせるDフリップフロップ、 **転させてランブ信号を発生するランプ発生回路である。** 出力を比較する比較器である。

[0025]109は比較器1008と画像データ信号VSの勘型和を取り画像データVDOとするOR回路、110は論理反転した画像データKBVSとバルス発生回路104の立ち下がりエッジトリが信号とするOR回路、111は画像データ信号VSとBD信号とDフリップフロップ103の出力VSラッチ信号との範囲和を取りランプ発生回路104のリカットに信号とあるMBの高いフリップフロップ103の出力VSラッチ信号との範型和を取りランプ発生回路104のリセット信号とするOR回路

[0026]まず、本実施例におけるパルス幅変調回路100において、信号DMが"1"となつてパルス幅変

S

図を行うときの単作を図らを参照して以下に説明する. 図5は図4に示すバルス階変類回路100において、信 母DMが"1"となつてバルス幅変類を行うときの助作 タイミングチャートである。画像データVSが入力され ると、OR回路1110入力がなされ、図5に3),

5) で示す後にランプ発生回路104のリセットが解除される。これにより、ランプ発生回路104は図5に6) で示す様に画像データVSの立ち下がりに回即して0V~5Vが反転したランプ信号を発生する。 数ランプ10 発生回路104の出カランプ信号を発生する。 数ランプドロ路105及び比較器108の負端子によ力されている。 また、比較器108の負端子には、図5に7)で示すラッチB10出カデータをD/A交換回路1070万円を3には、VCLK×4の1クロック期間に前述のランブ信号が上昇する程圧値Vrfが与える

[0027]ランプ発生回路104は、コンデンサに番箱された電荷の充放電によりランプ負債与を発生しているので、回囲の環境や経時変化によりランプ債辱の値をが変化する。そこで、本実施例においては、印刷領域外でランプ信辱の値きを検知して補圧を行なつている。以下、本実施例によるランプ信辱の校正助作について説明する。本実施例によいては、1ライン毎に発生するBD信号発生時にこの校正助作を行う。

ຂ

れている。

[0022]以上説明した回路においては、先ず第1段

[0028] 図6に本実施例における校正時のタイミングチャートを示す。図4に示すパルス幅窓園回路100に図6に2)で示すBD信号が入力されると、パルス発生回路101はVCLK×4クロック信号に同期して図6に3)に示すワンショットバルスBDPを発生する。核BDP信号はOR回路110を介してランプ発生回路1104のクロック端子に入力され、図6に5)で示す様にBDP信号の立ち下がりでランプ発生回路1104のクロック端子に入力され、図6に5)で示す様にBDP信号の立ち下がりでランプ発生回路104のラ

33

ンプ信号を発生させる。
[0029] 一方、BDP信号はBDPラッチ102にも入力され、図6に4)で示す様に次のVCLK×4クロック信号でBDPラッチ102にも入力され、図6に4)で示す様に次のVCLK×4クロック信号でBDPバルスをラッチする。このBDPラッチ信号はサンプルをホールド回路105のリセット福子に入力されており、BDPラッチ信号の出力中サンプルをホールド回路105は、図6に6)で示す様にバルス発生回路101よりのBDP信号の立ち下がりエッジでランプ信号をサンプルをホールドし、基準電圧発生回路106に出力する。基準電圧発生回路107の基準電圧Vrefとして発生する。

(0030) したがつて、このD/A契数回路107の出力とランプ信号を比較する比較器104の出力はVC LKx 4の正確な(1/8)の時間精度である5nsec単位でや頭される。このラッチB10の出力信号とD/A

9

変換回路107よりの出力信号及び比較器108出力で ある仲長パルス幅との関係を図りに示す。例えば、図5 "011b"である場合、D/A変換回路107出力は Vre(\*3/8 (V) となり、比較器108の出力は画像 こ2) で示すように、ラッチB出力の下位3ピットが データVSを15nsec仲張した信号となる。

/A変換回路107の出力とランプ負信号の0Vとを比 107の出力は0Vとなる。このため、このままではD VSとVS信号との論理和を取ることにより、上述した 【0031】OR回路109は、ラッチB10出力の下 校する比較器108の出力は不定となる。そこで、本実 施例では〇R回路109で比較器108出力画像データ 場合には、出力画像データVDOがパルス幅変鱗しない **付3 ピットが"000b"の基合には、D/A 数数回路** 国象信号となるようにしている。

て、信号DMが"0"となつてバルス幅変調を行なわな する。図8は図4に示すパルス幅変関回路100におい 100において、信号DMが"0"となつてバルス幅変 調を行なわないときの動作を図8を参照して以下に説明 [0032]次に、本実施例におけるパルス幅変闘回路 いときの動作タイミングチャートである。

ータVSの区間にしか発生しない。したがつてD/A変 してD0~D7を出力し、また、対応するDM信号が出 るとランプ発生回路104のリセットが解除される(図 8の3), 5)参照)。ランブ発生回路104は、図8 ツジに同期してランプ負信号を発生する。この時、DM は"0"であることより、ロフリップフロップ103は リセットされた状態である。このため、DMが"1"の **数回路107よりの変換値の如何にかかわらず、比較器** における徴度パターン発生テーブル4におけるアドレス ドレスA0~A4を基に、対応する徹度パターン信号と [0033] この場合には、画像データVSが入力され の3), 6)に示す数に画像データVSの立ち下がりエ 時とは違い、ランブ信号は図8の6)に示す様に画像デ [0034]次に図9を参照して本実施例における徴度 入力と出力データの関係の一例を示す図である。図9に 示す様に本実施例の徴度パターン発生テーブル4は、ア 力される。徴度パターン発生テーブル4は図9の如くの 母気デイスク装置、母気テーブ装置等任意の構成とする パターン発生テーブル4を説明する。 図9は、本実施例 A3~A0のデータが入力された時に、何らかの方法で データを記憶するROMで構成することが毀ましいが、 108の出力も画像データVSの区間にしか発生しな い。この結果、パルス幅変闘は行われないことになる。 D7~D0, DMのデータが出力されるものであれば、

22 4の出力時での1 画株 (600dpi の4ドット分)の状 [0035] 図9に示す徴度パターン発生テーブル4を 用いたときのアドレスA3~A0、つまりァ柏正テープ ル2の出力の上位4ピットと徴度パターン発生テーブル

態を図10、図11に示す。微度パターン発生テーブル 幅変觸を行つたときのァ 植正テーブル2の出力下位4ピ 4の出力信号をさらにパルス幅変隅回路100でパルス **ツトと1回条(600dpi 4ドツト分)の画像信号VD** 0の状態を図12、図13に示す。図12、図13では 1, 1, 0)のパターンにおける画像信号VD〇の状態  $\boxtimes 10$ ,  $\boxtimes 110$  (A3, A2, A1, A0) = (0, を示す例である。

16パターンの制御は低速なロジック回路で処理し、細 [0036]以上説明した様に本実施例では、大まかな かな8段階の制御には各印刷ラインの前で補正されるパ や温度等の周囲環境変化や稀年変化に影響されずに常に **安定した高精度な中間隔画像が出力できる。即ち、パル** ス幅変鷸回路100で1回案を16に分割し、分割した パターンの信号を微少にパルス幅変調を行つて各々8段 ルス幅変瞬回路100を用いて行なうことにより、温度 **略にパルス幅を変化させることにより、16×8=12** 8 階頗の徴度再現が可能となる。

[0037]また、本実施例のパルス幅変顕回路では、 右側伸張であるが、左側伸張としてもよい。

2、濃度パターン発生テーブル4の構成等も上述した図 阪定されるものでは無く、1 がそのサイズも上述の実施 例に限定されるものではない。例えば、7 補正テーブル (第2の変施例) なお、本発明は以上説明した実施例に 9、図10、図11及び図12、図13の例に限定され るものでは無い。

【0038】以下、ァ柏正テーブル2と徴取パターン発 生テーブル4の内容を変えた本発明に係る第2実施例

を、図14、図15、図16、図17を参照して以下に 説明する。第2.実施例においても他の構成は上述した第 1 実施例における図1、図4等に示す構成と同一であ

0、 つまり 7 柚正テーブル2 の出力の上位4 ピットと避 A 0 ) = (0, 1, 1, 0)のパターンにおける画像信 り、以下に述べる図14、図15、図16、図17が相 発生テーブル4の内容を図14に、図14に示す徴度パ **ターン発生テーブル4を用いたときのアドレスA3~A** 皮パターン発生テーブル4の出力時での1回紫(600 dpi の4ドツト分)の状態を図15に示す。また、濃度 パターン発生テーブル4の出力信号をさらにパルス幅変 関回路100でパルス幅変闘を行つたときの7補正テー ブル2の出力下位4ピツトと1 固紫 (600dpi 4ドツ 遠する。本発明に係る第2実施例における濃度パターン ト分)の画像信号VDOの状態を図16、図17に示 す。図16、図17では図15の(A3, A2, A1, 母VDOの状態を示す例である。 9

でアドレツシングしないような補正を行う, 第2 実施例 主走査600dpi で副走査300dpi が実質上の1回案 となる。その際、米使用領域は前段の7補正テーブル2 においては、以上の制御を行なうことにより、上述した [0039] 第2実施例では、図15で明かなように、

第1の実施例よりも表現出来る階調数は減るが、解像度

100の構成も上述した第1実施例の例に限定されるも のではなく、ラッチB10出力に応じてVCLK×4の 【0040】(第3の実施例)また、バルス幅変数回路 1/8刻みで仲張された画像データ信号VSを出力する **様構成しても良い。この様に構成した本発明に係る第3** は向上するので、きめの細かい中間画像が得られる。 東施例を図18を参照して以下に説明する。

り、各抵抗は全て同一抵抗値を待ち直列に8個接続され ている。208はラダー抵抗器207の各出力とランプ 回路、213はラッチB出力信号の下位3ピット及びD 8において、図4に示す第1実施例と同様構成には同一 母号を付し詳細説明を省略する。図中、110は論型反 転した画像データ信号VSとパルス発生回路101の出 力BDPとの論理和を取りランプ発生回路104の立ち 下がりエッジトリガ信号とする〇R回路、206はサン ブル&ホールド回路205の出力に応じて基準電圧を発 M信号に基づいてマルチプレクサ209の選択信号を出 [0041] 図18は本発明に係る第3実施例のパルス る。209は比較器208の出力を選択するマルチプレ タ信号VSの簡理和を取り画像データVDOとするOR り、他の構成は上述した第1実施例と同様である。図1 クサ、210はマルチプレクサ209の出力と画像デー 幅変調回路の詳細構成を示すシステムブロック図であ 生する基準電圧発生回路、207はラダー抵抗器であ 発生回路104の出力をそれぞれ比較する比較器であ 力するコード変換回路である。

地されているので、ラダー抵抗器207の各出力とラン になる。コード変換回路213は、信号DMが"1"の プ発生回路104の出力を比較した比較器208の出力 は、正確にVCLK×4の1/8刻みで仲張された信号 7 の上端には校正された基準亀圧が供給され、下端は接 0出力の下位3ピットをそのまま出力する。一方、信号 で、ラッチB10出力の下位3ピットの値にかかわらず [0042] 第3 実施例においては、ラダー抵抗器20 場合には、パルス幅変闘を行なわせるためにラッチB1 DMが"0"のときには、パルス幅変調を行わないの "000b" を出力する。

し、"001b"のときには入力gを、"010b"の [0043] マルチプレクサ209は、コード変換回路 "100b" のときには入力にを、"101b" のとき 213の出力が"000b"のときには入力hを選択 ときには入力fを、"011b"のときには入力eを、 には入力もを、"110b"のときには入力りを、 11b"のときには入力aを選択し出力する。

**ツチB10出力に応じてVCLK×4の1/8刻みで伸** た様に第3実施例によれば、ラッチB10出力に応じて 【0044】マルチプレクサ209の出力と回像データ 首号VSをOR回路210で簡型和することにより、ラ 扱された画像データ信号∨Sが出力される。以上説明し

特間平5-292319

9

VCLK×4の1/8刻みで伸張された回像データ信号 VSが出力され高画質、髙解像度での画像処理が可能と

に、解像度を上げることができる。その際パルス幅変調 する信号発生手段とを用い、両者の出力を比較すること しておおまかに徴度パターンを生成した後に、細かなパ には高周波クロツクを用いずに、一定の気きを有する信 号を発生する信号発生手段と、任意の信号レベルを発生 [0045]以上説明した様に各実施例によれば、禮度 ルス幅炎綱を行うことにより、1 画衆の階間数を下げず **パターン発生テーブルとパラレルシリアル変数回路によ** でパルス幅変調を行う。

2

[0046]また、プリント時に一定の傾きを有する信 ても良い。また、本発明はシステム或は装置にプログラ 号を発生する信号発生手段の傾きを做知し、そのずれを 楠正する。尚、本発明は、複数の機器から構成されるシ ステムに適用しても、1つの機器から成る装置に適用し ムを供給することによつて達成される場合にも適用でき ることは言うまでもない。

[0047]

画森の路櫚数を下げずに解像度を上げることができ、周 田環境の変化や経年変化等の影響を最小限度に押えるこ [発明の効果] 以上説明したように本発明によれば、1

[図面の簡単な説明]

【図1】本発明に係る第1の実施例である画像処理装置 [図2] 第1実施例の動作を示すタイミングチヤートで の構成を示すプロツク図である。

**【図3】第1実施例における1回案を128区間として** 

【図4】第1実施例におけるパルス幅変顔回路の詳細シ 数す例を示す図である。

[図5] 第1実施例におけるバルス幅変顕回路におい ステム構成図である。

[図6] 本実施例におけるパルス幅変隅回路における校 て、信号DBが"1"となつてバルス幅変闘を行うとき の町作タイミングチャートである。

正時のタイミングチャートを示す図である。

[図7] ラッチBの出力信号と、D/A変換回路よりの て、信号DBが"0"となつてバルス幅変闘を行なわな 出力信号、及び仲長パルス幅との関係を示す図である。 [図8] 第1実施例におけるパルス幅変調回路におい

[図9] 第1 実施例における徴度パターン発生テーブル いときの勁作タイミングチャートである。 の構成例を示す図である。

ルに入力されるヶ柏正テーブル出力の上位4ピットと徴 [図11] 第1実施例における徴度パターン発生テープ

**近パターン発生テーブルの出力時での1回案の状態を示** 

2

特開平5-292319 3

[図22] 従来の600dpiの1ドットを8分割した例

【図23】従来の徴度表現の例を示す図である。

を示す図である。

特開平5-292319

8

[國]

=

ルの出力信号をさらにパルス幅変調したときの 7 前正テ ープル出力の下位4ピットと1回来分の画像信号VDO [図13] 第1実施例における濃度パターン発生テープ

[図14] 本発明に係る第2実施例における遺度パター ン発生テーブルの構成例を示す図である。 の状態を示す図わめる。

度パターン発生テーブルの出力時での1 画楽の状態を示 [図15] 第2実施例における徴度パターン発生テープ ルに入力されるァ補エテーブル出力の上位4ピツトと激

徴度パターン発生テーブル

ヶ補エテーブル

OR紫子

1, 10 5"F

[符号の説明]

[図16]、 す図である。

ルの出力信号をさらにパルス幅変異したときのァ補正テ [図17] 第2実施例における徴度パターン発生テープ ーブル出力の下位4 ピットと1 画素分の画像信号 VDO の状態を示す図である。

102, 103 D7UY77DY7

206 基準電圧発生回路 **サンプル&ホールド回路** 

.901

0.5 107

D/A数数回路 108,208 比較器

パラレルシリアル蛟被回路

6 8 100 101 0.4

刷走強カウンタ

5,6 分周器

2

パルス幅波幅回路 パルス発生回路 ランプ発生回路

> [図18] 本発明に係る第3の実施例におけるパルス幅 **炎陽回路の詳細システム構成図である。**

【図19】 一般的なワーガビームブリンタの被被的な機

[図20] 従来の画像処理部の詳細プロック構成図であ **帯部を除くシステム構成を示す図である。** 

20

OR回路

109, 110, 111, 210

ラダー抵抗器

207 2 1 3

マルチプレクサ コード数数回路

209

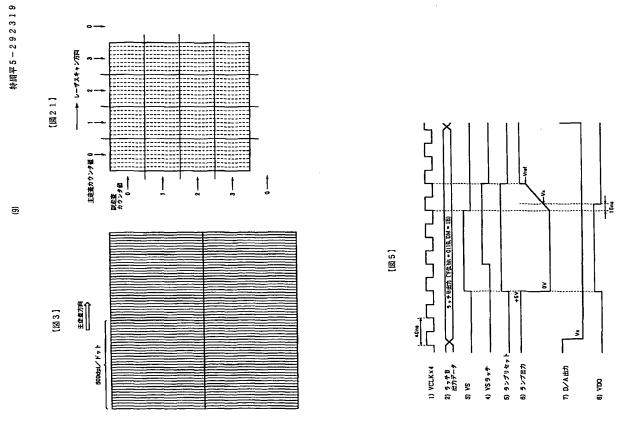
[図21] 600dpi の解像度で入力される1ドット毎 の画像信号に対する濃度を没す扱小の単位を示す図であ [図22]

[図2]

**創度パターン発生チーブル出力** 

9-91 ( F-91 ( F-92 ( F-92 ) F-93 ( F-93 ) F-94 F-93. กกกกกกก 10) パラレルシリアル回覧 A Load 13) ベランルシリアル回路 B Load 12) パランルシリアル回路A出力 15) パラレルシリアル回路B出力 ここ ベランタシリアル回路AE 16) VS 17) ラッチ8出力 (\*ナーブル3ヒット+DM) 14) ペランルシリアル回路BE 動倒スターンチーンル出力 即使者かりンク出力 6) 分回器 A 出力 (-1/2VCLK) 6) 7 チーブル出力 7) 分回器 B 出力 2) 多色四条データ 1) 600dpi VCLK 4) ラッチA出力 3) VCLK×4

Peol 6 いうしい いってい お面離変 100 ACTK 回像シ 1/2 1/2 1/2 副スパハ 路回戦変 ADO VDO S 9 peog έ elden3 60 ( ) 60 ( ) 70 ( ) 小リでい いていい 路回難変 - セパ 東島 マーモ 主義 εď ra 8 五 多 位 多 oα εA 理定 'n DΝ 10 ŕ 7 ACFK 鉤鏈% 

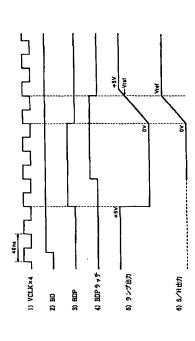


[図14]

[6國]

(13)

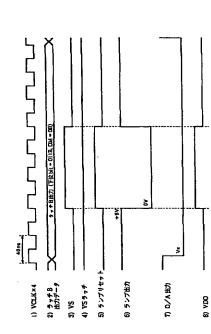
[9図]

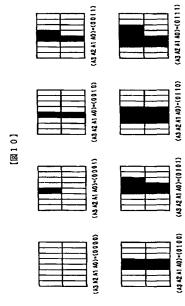


[区区]

_									
	伸張パルス幅 (nsec)	0	5	10	15	20	25	30	35
	D/A进力 (V)	0	Vref *1/8	Vref *2/8	Vref *3/8	Vref *4/8	Vref *5/8	Vref #6/8	Vref *7/8
	ラッチB出力の下位3bit	8000	001B	0108	0118	1008	1018	1108	1118

[88]





(A3 A2 A1 AB)+(1 1 1 1) (A3 A2 A1 A0)-(1011) (A3 A2 A1 A0)-(1101) (A3 A2 A1 A0)-(1110) (A3 A2 A1 A0)-(1010) [図12] [國11] (13) (A3 A2 A1 A0)=(1001) (43 AZ A1 A0)+(1100) (A3 A2 A1 A0)-(1 0 0 0)

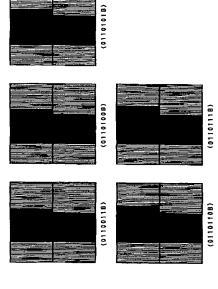
多位国際データか20/64の遺貨も示した場合

(14)

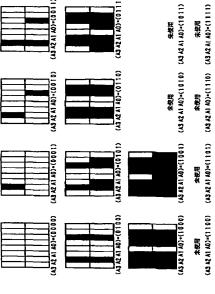
特閒平5-292319

特閒平5-292319

[図13]



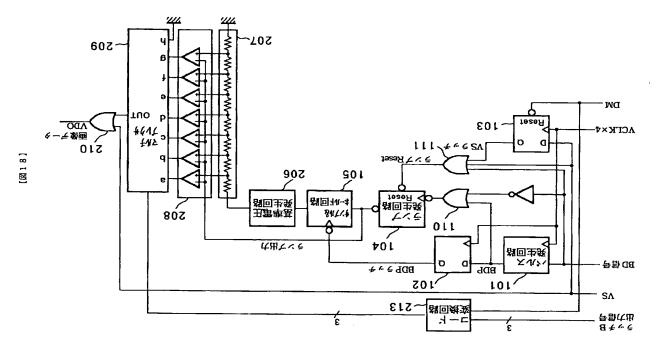
(図15)

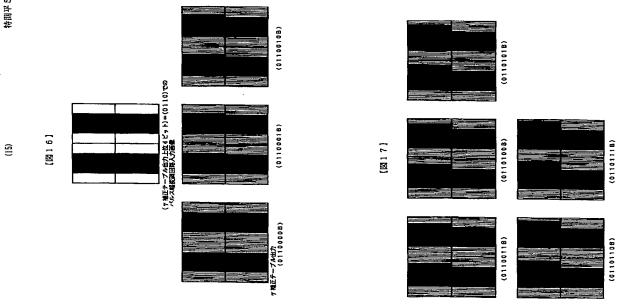


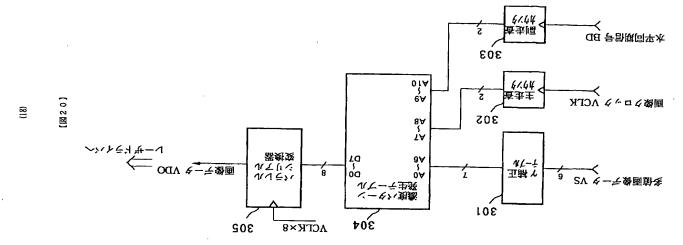
(0110010B)

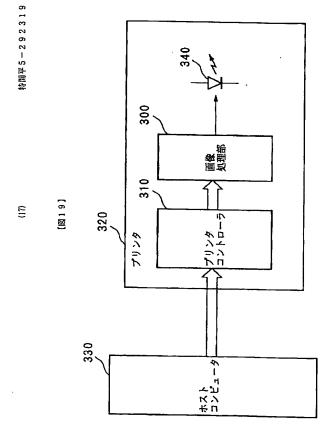
(0110001B)

[図23]









特朋平5-292319

(61)

フロントページの統合

(51) Int. Cl. <sup>6</sup> G 0 6 F 15/72 G 0 6 K 15/00

<u>ا</u> 

技術表示箇所